

SEARCH

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-172215

(43)Date of publication of application : 23.06.2000

(51)Int.CI.

G09G 3/20

G09G 3/28

(21)Application number : 10-347690

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.12.1998

(72)Inventor : KOSAKA TADAYOSHI

AWAMOTO KENJI

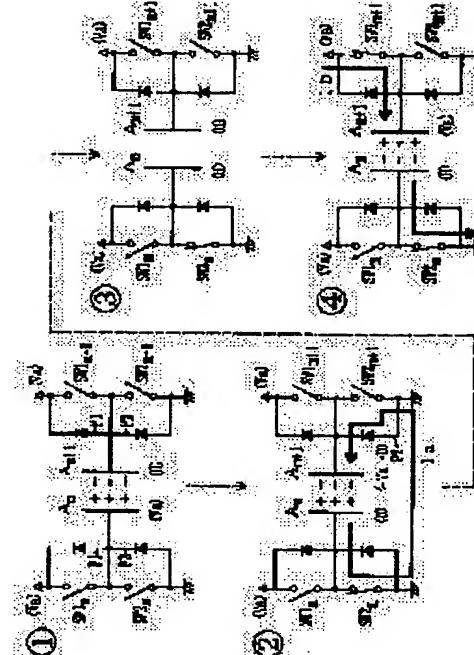
NAMIKI FUMIHIRO

(54) DISPLAY PANEL DRIVING METHOD AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce unnecessary power consumption concerned with the capacitance between data electrodes.

SOLUTION: In a line sequential addressing controlling each potential of data electrodes in accordance with display data in synchronization with a row selection, when n-th display data to be applied respectively to data electrodes A adjacent each other are different with each other and (n+1)th display data are also different with each other and, moreover, respective n-th display data of the data electrodes A are different from respective (n+1)th display data, the storage electric charge between the data electrodes is made to be discharged by connecting the data electrode of one side to a power source line and also by connecting the data electrode of other side to the power source line via a forward diode prior to a changeover from the potential made to correspond to the n-th display data to the potential made to correspond to the (n+1)th display data.



LEGAL STATUS

[Date of request for examination] 04.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3426520

[Date of registration] 09.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-172215

(P2000-172215A)

(43)公開日 平成12年6月23日 (2000.6.23)

(51)Int.Cl.
G 0 9 G 3/20
6 2 1
6 1 1
3/28

F I
G 0 9 G 3/20
6 2 1 G 5 C 0 8 0
6 1 1 A
3/28

テマゴト[®] (参考)
J

審査請求 未請求 請求項の数14 OL (全15頁)

(21)出願番号 特願平10-347690

(22)出願日 平成10年12月8日 (1998.12.8)

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 小坂 忠義
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 栗本 健司
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 100086933
弁理士 久保 幸雄

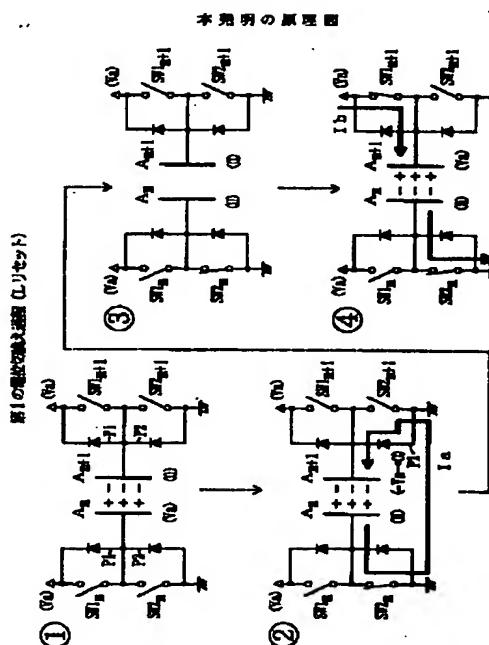
最終頁に続く

(54)【発明の名称】 表示パネルの駆動方法及び表示装置

(57)【要約】

【課題】データ電極間の静電容量に係わる不要の電力消費を低減することを目的とする。

【解決手段】行選択に同期して表示データに応じてデータ電極の電位を制御する線順次のアドレッシングにおいて、互いに隣接するデータ電極Aのそれぞれに与えられるn番目の表示データDどうしが異なり且つ(n+1)番目の表示データどうしも異なり、さらに当該データ電極Aのそれぞれのn番目の表示データと(n+1)番目の表示データとが異なる場合に、n番目の表示データに応じた電位から(n+1)番目の表示データに応じた電位への切換えに先立って、当該一方のデータ電極Aを電源ラインに接続し且つ他方のデータ電極を順方向のダイオードを介して当該電源ラインに接続することによって、当該データ電極間の蓄積電荷を放電させる。



【特許請求の範囲】

【請求項1】複数のスキャン電極と複数のデータ電極とを交差させて配置したマトリクス形の表示パネルの駆動方法であって、前記スキャン電極に対する個別の電位制御による選択に同期して、表示データに応じて前記データ電極の電位を制御する線順次のアドレッシングにおいて、互いに隣接するデータ電極のそれぞれに与えられるn番目の表示データどうしが異なり且つ(n+1)番目の表示データどうしも異なり、さらに当該データ電極のそれぞれのn番目の表示データと(n+1)番目の表示データとが異なる場合に、n番目の表示データに応じた電位から(n+1)番目の表示データに応じた電位への切換えに先立って、当該一方のデータ電極を電源ラインに接続し且つ他方のデータ電極を順方向のダイオードを介して当該電源ラインに接続することによって、当該データ電極間の静電容量による蓄積電荷を放電させることを特徴とする表示パネルの駆動方法。

【請求項2】画面の列方向に並ぶ複数のスキャン電極及び行方向に並ぶ複数のデータ電極を有した表示パネルと、前記スキャン電極及びデータ電極の電位を2値の表示データに応じて制御する駆動回路とを備え、前記スキャン電極による行選択に同期して前記データ電極の電位を2値制御する線順次のアドレッシングを行う表示装置であって、

前記データ電極のそれぞれに対して、その電位を2値制御する手段として、駆動電源の電流供給端子及び電流吸引端子のそれぞれと当該データ電極とを接続する一対のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュブル構成のスイッチング回路が設けられ、

さらに前記データ電極のそれぞれに対して、アドレッシングに際して、行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号を電流吸引側の前記スイッチング素子に与え、当該表示データと当該タイミング信号を遅延させた信号との組合せに応じた第2のスイッチング信号を電流供給側の前記スイッチング素子に与える信号生成回路が設けられたことを特徴とする表示装置。

【請求項3】画面の列方向に並ぶ複数のスキャン電極及び行方向に並ぶ複数のデータ電極を有した表示パネルと、前記スキャン電極及びデータ電極の電位を2値の表示データに応じて制御する駆動回路とを備え、前記スキャン電極による行選択に同期して前記データ電極の電位を2値制御する線順次のアドレッシングを行う表示装置であって、

前記データ電極のそれぞれに対して、その電位を2値制御する手段として、駆動電源の電流供給端子及び電流吸

引端子のそれぞれと当該データ電極とを接続する一対のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュブル構成のスイッチング回路が設けられ、

さらに前記データ電極のそれぞれに対して、アドレッシングに際して、行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号を電流吸引側の前記スイッチング素子に与える信号生成回路、及び当該第1のスイッチング信号を遅延させた第2のスイッチング信号を電流供給側の前記スイッチング素子に与える信号遅延回路が設けられたことを特徴とする表示装置。

【請求項4】画面の列方向に並ぶ複数のスキャン電極及び行方向に並ぶ複数のデータ電極を有した表示パネルと、前記スキャン電極及びデータ電極の電位を2値の表示データに応じて制御する駆動回路とを備え、前記スキャン電極による行選択に同期して前記データ電極の電位を2値制御する線順次のアドレッシングを行う表示装置であって、

前記データ電極のそれぞれに対して、その電位を2値制御する手段として、駆動電源の電流供給端子及び電流吸引端子のそれぞれと当該データ電極とを接続する一対のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュブル構成のスイッチング回路が設けられ、

アドレッシングにおいて、配列の奇数番目のデータ電極に対応した前記スイッチング素子のオンオフのタイミングと、偶数番目のデータ電極に対応した前記スイッチング素子のオンオフのタイミングとが異なることを特徴とする表示装置。

【請求項5】行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号と、当該表示データと当該タイミング信号を遅延させた信号との組合せに応じた第2のスイッチング信号とを生成し、

前記第1及び第2のスイッチング信号の一方を、前記奇数番目のデータ電極に対応した前記スイッチング素子の制御に用い、他方を前記偶数番目のデータ電極に対応した前記スイッチング素子の制御に用いる請求項4記載の表示装置。

【請求項6】前記タイミング信号の遅延時間は、隣接するデータ電極間の静電容量による蓄積電荷の放電所要時間より長く、行選択周期より短い請求項2又は請求項5記載の表示装置。

【請求項7】前記第1のスイッチング信号を生成する集積回路装置と、

前記タイミング信号を遅延させる回路を含み、前記第2のスイッチング信号を生成する集積回路装置とを備えた請求項5又は請求項6記載の表示装置。

【請求項8】行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号と、当該表示データを遅延させたデータと当該タイミング信号との組合せに応じた第2のスイッチング信号とを生成し、

前記第1及び第2のスイッチング信号の一方を、前記奇数番目のデータ電極に対応した前記スイッチング素子の制御に用い、他方を前記偶数番目のデータ電極に対応した前記スイッチング素子の制御に用いる請求項4記載の表示装置。

【請求項9】前記表示データの遅延時間は、隣接するデータ電極間の静電容量による蓄積電荷の放電所要時間より長く、行選択周期より短い請求項8記載の表示装置。

【請求項10】前記第1のスイッチング信号を生成する第1の集積回路装置と、

前記表示データを遅延させる回路を含み、前記第2のスイッチング信号を生成する第2の集積回路装置とを備えた請求項8又は請求項9記載の表示装置。

【請求項11】前記スイッチング素子は電界効果トランジスタであり、前記ダイオードはそれと並列の前記開閉路を形成する電界効果トランジスタに固有の寄生ダイオードである請求項2乃至請求項10のいずれかに記載の表示装置。

【請求項12】前記ダイオードは前記スイッチング素子とは別の回路構成要素である請求項2乃至請求項10のいずれかに記載の表示装置。

【請求項13】表示パネルの画面の行方向に並ぶ複数のデータ電極の電位を2値の表示データに応じて制御するための集積回路装置であって、

前記データ電極のそれぞれに一個ずつ対応する複数のスイッチング回路を備えており、

前記スイッチング回路のそれぞれは、駆動電源の電流供給端子及び電流吸引端子のそれぞれと1つのデータ電極とを接続する一对のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュブル構成の回路であり、

電流供給側の前記スイッチング素子のオンオフのタイミングを、電流吸引側の前記スイッチング素子のオンオフのタイミングに対して遅らせる信号遅延回路が組み込まれたことを特徴とする集積回路装置。

【請求項14】表示パネルの画面の行方向に並ぶデータ電極群における奇数番目又は偶数番目のデータ電極である対象電極の電位を2値の表示データに応じて制御するための集積回路装置であって、

線順次のアドレッシングの行選択に同期して入力される

表示データを遅延させる遅延回路と、

前記遅延回路からの表示データと行選択周期でオンオフを繰り返すタイミング信号との組合せに応じたスイッチング信号を生成する論理回路と、

05 前記対象電極のそれぞれに対して1個ずつ設けられた一群のスイッチング回路とを備え、

前記スイッチング回路のそれぞれは、駆動電源の電流供給端子及び電流吸引端子のそれぞれと1つのデータ電極とを接続する一对のスイッチング素子からなり、当該ス

10 イッキング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュブル構成の回路であり、

前記スイッチング信号によって前記スイッチング素子を制御することを特徴とする集積回路装置。

15 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PDP（プラズマディスプレイパネル）、PALC（プラズマアドレス液晶）、LCD（液晶ディスプレイ）、FED（フィール

20 ドエミッショナリディスプレイ）などの表示パネルの駆動方法及び薄型の表示装置に関する。

【0002】表示パネルはCRTに代わるデバイスとして各種分野で用いられている。例えばPDPは40インチを越える大型画面の壁掛けテレビジョン受像機として

25 商品化されている。画面の高精細化及び大型化における課題の1つは電極間の静電容量の対策である。

【0003】

【従来の技術】表示パネルは図16のようにマトリクス状に配列された行選択のためのスキャン電極S₁、

30 S₁、…、S_mと列選択のためのデータ電極A₁、A₁、…、A_nとを有する。参照符号の添字は電極の配列順位を表している。スキャン電極S₁～S_mとデータ電極A₁～A_nとの交点に単位表示領域が画定され、これら単位表示領域のそれぞれに1個ずつ表示素子が配置

35 される。図16では代表的に第1行及び第2行の第(m+1)列の表示素子を示してある。図17にシンボルで示したようにPDP及びPALCにおける表示素子は放電セルである。LCDでは液晶セルが、FEDではフィールドエミッタが表示素子である。なお、商品化されて

40 いる面放電型PDPでは行毎に2本ずつ電極が配列されているが、それらの一方のみが行選択に用いられるので、表示素子の択一選択の観点では面放電型PDPの電極構成も他と同様の単純マトリクスとみなすことができる。

45 【0004】表示する内容は図18に示す線順次のアドレッシングによって設定される。1フレームのアドレス期間T_Aは画面（スクリーン）の行数Nと同数個の行選択期間T_yに分割され、各スキャン電極S₁～S_mはいずれか1つの行選択期間T_yに所定電位にバイアスされ

50 てアクティブとなる。通常、アクティブとなるスキャン

電極は配列の一端から他端への順に行選択期間毎に切り換わる。このような行選択に同期して、行選択期間毎に各データ電極A₁～A_nから並列に1行分ずつ表示データが出力される。すなわち、表示データに応じて全てのデータ電極A₁～A_nの電位が一斉に制御される。電位の2値制御をする場合、及び多値制御をして階調表示を行う場合がある。

【0005】データ電極A₁～A_nの電位の2値制御には、本発明の実施形態に係る図5に示されるプッシュプル構成のスイッチング回路が用いられている。一对のスイッチング素子Q1, Q2の一方のスイッチング素子Q1のみをオンしてデータ電極A₁を駆動電源の電流供給端子（電圧出力の高電位側端子）に接続し、又は他方のスイッチング素子Q2のみをオンしてデータ電極A₁を駆動電源の電流吸引端子（一般に接地端子）と接続する。各スイッチング素子Q1, Q2のオンオフは該当列の表示データD₁によって決まる。

【0006】図20は従来の駆動方法におけるデータ電極の制御のタイムチャートである。

【0007】ここでは一对のスイッチSW1, SW2によってデータ電極A₁の電位を制御するものとする。スイッチSW1は上述のスイッチング素子Q1に対応し、スイッチSW2はスイッチング素子Q2に対応する。

【0008】プッシュプル構成では一对のスイッチSW1, SW2の同時のオン（閉）、すなわち駆動電源の短絡を避けなければならない。したがって、表示データD₁がn（1≤n<N）番目とその次の（n+1）番目の行選択とで異なる場合における行選択の切換え時点での短絡を確実に防止するため、行選択期間T_yの境目では両方のスイッチSW1, SW2をオフ（開）にする。つまり、n番目の行選択期間T_yにおいて一对のスイッチSW1, SW2のどちらをオンする場合にも、行選択期間T_yの開始段階でスイッチSW1又はスイッチSW2をオンした後、行選択期間T_yの終了時点の以前にオフする。この動作は、行選択周期でオンオフを繰り返すタイミング信号TSCと該当する第m列の表示データD₁との論理積信号でスイッチSW1, SW2を制御することにより実現される。

【0009】従来においては、行選択期間T_yの開始時点に対するスイッチSW1, SW2のオン及びオフのタイミングが、スイッチSW1, SW2について同一とされていた。また、隣接するデータ電極どうしの間でもスイッチング素子のオンオフのタイミングが同一であった。

【0010】

【発明が解決しようとする課題】従来の駆動方法には、隣接したデータ電極間の静電容量の充電に費やす無駄な電力が大きいという問題があった。以下にこの問題を詳述する。

【0011】ここでは、図20のように、第m列とその

隣の第（m+1）列とでデータ電極電位の切り換わりが正反対であって、両列とも行選択期間T_y毎に電位が切り換わるパターンのアドレッシングを想定する。このパターンにおいて、第m列の表示データD₁と第（m+1）列の表示データD₁₊₁は交互に2値（0, 1）の一方をとり、表示内容は図19のとおりである。

【0012】図21は従来の問題を示す図である。

【0013】従来の問題は、データ電極間に電荷が蓄積された状態でその電荷と反対極性にデータ電極をバイアスするときに、以下のとおり電荷を打ち消す電流を供給しなければならないことである。

【0014】■行選択期間T_yの終了直前の時点において、第m列のスイッチSW1₁, SW2₁及び第（m+1）列のスイッチSW1₁₊₁, SW2₁₊₁はオフ（ハイインピーダンス状態）である。そして、データ電極間の容量には、第m列側が正極性（+）で第（m+1）列側が負極性（-）の電荷が蓄積している。図中の括弧内の文字は電位を示している。

【0015】■スイッチSW2₁及びスイッチSW1₁₊₁を同時にオンした時点において、データ電極A₁の接地にともなってデータ電極A₁₊₁の電位は-Vaに下がり、電源からスイッチSW1₁₊₁を通ってデータ電極間容量に蓄積電荷を打ち消す電流Iaが流れ始める。この電流Iaは表示パネルの消費電力として累積される。

【0016】■電流Iaに引き続いで、新たにデータ電極間容量を以前と逆極性に充電する電流Ibが流れる。この電流Ibも電源から供給され、消費電力として累積される。原理的にはIa=Ibである。

【0017】このように従来の駆動方法ではデータ電極間容量の放電と充電とに電力を消費する。なお、電力消費の低減については、電流吸引側の全てのスイッチSW2₁, SW2₁₊₁をオンするリセット期間を設ける対策がある。スイッチSW2₁, SW2₁₊₁のオンにより接地側電源ラインを介してデータ電極どうしが短絡し、蓄積電荷は放電する。しかし、この対策には2つの問題がある。1つは、リセット期間の後に電源の短絡を防止するために電流供給側及び電流吸引側の全てのスイッチSW1₁, SW1₁₊₁, SW2₁, SW2₁₊₁をオフする期間が必要なので、その期間分だけ行選択期間T_yが長くなって表示速度が低下する問題である。他の1つは、列方向の直線を描く場合のように表示データD₁, D₁₊₁が一定の場合にもデータ電極A₁, A₁₊₁の電位が行選択期間T_y毎に切り換わり、それにともなうデータ電極間容量の充放電に電力を消費してしまう問題である。

【0018】本発明は、データ電極間の静電容量に係わる不要の電力消費を低減することを目的としている。

50 【0019】

【課題を解決するための手段】本発明においては、アドレッシング中の設定条件を満たす時期に、データ電極間の静電容量に蓄積した電荷を放電させるために、互いに隣接したデータ電極の一方を電源端子と接続し、他方と電源端子との間に設けられているダイオード及び電源ラインを含む電流路でデータ電極どうしを短絡する。

【0020】図1及び図2は本発明の原理図である。

【0021】任意の注目列である第m列のデータ電極A_mに対して、その電位を2値制御する一対のスイッチSW_{1m}、SW_{2m}のそれと並列に逆方向電流路P₁、P₂を形成しておく。逆方向電流路P₁、P₂はダイオードを接続することにより、又は寄生ダイオードをもつ構造のスイッチング素子をスイッチSW_{1m}、SW_{2m}として用いることにより得られる。逆方向とは、電源の電流供給端子側（高電位側）がカソードとなり電流吸引端子側（低電位側）がアノードとなる方向である。同様に、第(m+1)列のデータ電極A_{m+1}に対しても逆方向電流路P₁、P₂を有したスイッチング回路を設けておく。

【0022】本発明を適用したアドレッシングにおいては、行選択に同期させてデータ電極A_mをバイアス電位(Va)から接地電位(0)へ切り換え、逆にデータ電極A_{m+1}を接地電位(0)からバイアス電位(Va)へ切り換える制御に、“Lリセット”と呼称する第1の過程、及び“Hリセット”と呼称する第2の過程がある。

【0023】Lリセットは、図1のように電流吸引端子側（接地側）の逆方向電流路P₂を用いてデータ電極間容量を放電させる段階を含む。

【0024】■行選択期間Tyの終了直前の時点において、第m列のスイッチSW_{1m}、SW_{2m}及び第(m+1)列のスイッチSW_{1m+1}、SW_{2m+1}はオフ（ハイインピーダンス状態）である。そして、データ電極間の容量には、第m列側が正極性(+)で第(m+1)列側が負極性(-)の電荷が蓄積している。

【0025】■スイッチSW_{2m}のみをオンすると、データ電極A_{m+1}の電位は-Vaに下がる。それにより、スイッチSW_{2m+1}と並列の逆方向電流路P₂を通じて接地ラインからデータ電極A_{m+1}へ電流Iaが流れる。同時にデータ電極A_mからスイッチSW_{2m}を通じて接地ラインへ電流Iaが流れる。つまり、データ電極間の電荷が接地ラインを含む閉ループを通じて放電し、電源からの電流供給はない。

【0026】■データ電極A_{m+1}が接地電位(0)になるまで電流Iaが流れる。

【0027】■スイッチSW_{2m}をオンに保ったままスイッチSW_{1m+1}をオンすると、データ電極A_{m+1}の電位が接地電位から上昇してバイアス電位(Va)に達するまで電流供給ラインからデータ電極A_{m+1}へ容量を充電する電流Ibが流れる。

【0028】Lリセットでは、従来と同様に電流Ia、Ibが流れるものの、容量の放電に係わる電流Iaが電源からの電流供給によらないので、容量に係わる消費電力は従来例の1/2になる。

05 【0029】Hリセットは、図2のように電流供給端子側の逆方向電流路P₁を用いてデータ電極間容量を放電させる段階を含む。

【0030】■スイッチSW_{1m}、SW_{2m}はオフ（ハイインピーダンス状態）で

10 ある。そして、データ電極間の容量には、第m列側が(+)で第(m+1)列側が(-)の電荷が蓄積している。

【0031】■スイッチSW_{1m+1}のみをオンすると、データ電極A_{m+1}の電位はVaから2Vaに上がる。それ

15 により、スイッチSW_{1m+1}と並列の逆方向電流路P₁を通してデータ電極A_{m+1}から電流供給ラインへ電流Iaが流れる。同時に電流供給ラインからスイッチSW_{1m+1}を通してデータ電極A_{m+1}へ電流Iaが流れる。つまり、データ電極間の電荷が電流供給ラインを含む閉ループを通して放電し、電源からの電流供給はない。

【0032】■データ電極A_{m+1}がバイアス電位(Va)になるまで電流Iaが流れる。

【0033】■スイッチSW_{1m+1}をオンに保ったままスイッチSW_{2m}をオンすると、データ電極A_mの電位が接地電位に低下するまで電流供給ラインからデータ電極間の容量を充電する電流Ibが流れる。

【0034】Hリセットでは、従来と同様に電流Ia、Ibが流れるものの、容量の放電に係わる電流Iaが電源からの電流供給によらないので、容量に係わる消費電力は従来例の1/2になる。

30 【0035】以上のLリセット及びHリセットは、上述したとおり隣接するデータ電極における表示データの切り換わりが正反対の場合に有効である。ただし、スイッチSW_{1m}、SW_{2m}、SW_{1m+1}、SW_{2m+1}の制御

35 にあたって、各列のn番目と(n+1)番目とで表示データが異なるかどうか、及び隣接した列どうしで表示データが異なるかどうかという判断を行う必要はない。全ての列についてスイッチSW₁とスイッチSW₂とで制御タイミングをずらし、又は奇数列と偶数列とでスイッチSW₁、SW₂の制御タイミングをずらすことにより、Lリセット及びHリセットは実現される。

【0036】請求項1の発明の方法は、複数のスキャン電極と複数のデータ電極とを交差させて配置したマトリクス形の表示パネルの駆動方法であって、前記スキャン電極に対する個別の電位制御による選択に同期して、表示データに応じて前記データ電極の電位を制御する線順次のアドレッシングにおいて、互いに隣接するデータ電極のそれと与えられるn番目の表示データどうしが異なり且つ(n+1)番目の表示データどうしも異なり、さらに当該データ電極のそれとn番目の表示デ

ータと (n+1) 番目の表示データとが異なる場合に、n 番目の表示データに応じた電位から (n+1) 番目の表示データに応じた電位への切換えに先立って、当該一方のデータ電極を電源ラインに接続し且つ他方のデータ電極を順方向のダイオードを介して当該電源ラインに接続することによって、当該データ電極間の静電容量による蓄積電荷を放電させるものである。電源ラインは接地ラインを含む。

【0037】請求項2の発明の装置は、画面の行方向に並ぶ複数のデータ電極のそれぞれに対して、その電位を2値制御する手段として、駆動電源の電流供給端子及び電流吸引端子のそれぞれと当該データ電極とを接続する一対のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュル構成のスイッチング回路が設けられ、さらに前記データ電極のそれぞれに対して、アドレッシングに際して、行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号を電流吸引側の前記スイッチング素子に与え、当該表示データと当該タイミング信号を遅延させた信号との組合せに応じた第2のスイッチング信号を電流供給側の前記スイッチング素子に与える信号生成回路が設けられた表示装置である。

【0038】請求項3の発明の表示装置においては、前記データ電極のそれぞれに対して、アドレッシングに際して、行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号を電流吸引側の前記スイッチング素子に与える信号生成回路、及び当該第1のスイッチング信号を遅延させた第2のスイッチング信号を電流供給側の前記スイッチング素子に与える信号遅延回路が設けられている。

【0039】請求項4の発明の表示装置では、アドレッシングにおける配列の奇数番目のデータ電極に対応した前記スイッチング素子のオンオフのタイミングと、偶数番目のデータ電極に対応した前記スイッチング素子のオンオフのタイミングとが異なる。

【0040】請求項5の発明の表示装置は、行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号と、当該表示データと当該タイミング信号を遅延させた信号との組合せに応じた第2のスイッチング信号とを生成し、前記第1及び第2のスイッチング信号の一方を、前記奇数番目のデータ電極に対応した前記スイッチング素子の制御に用い、他方を前記偶数番目のデータ電極に対応した前記スイッチング素子の制御に用いる。

【0041】請求項6の発明の表示装置において、前記タイミング信号の遅延時間は、隣接するデータ電極間の

静電容量による蓄積電荷の放電所要時間より長く、行選択周期より短い。

【0042】請求項7の発明の表示装置は、前記第1のスイッチング信号を生成する集積回路装置と、前記タイミング信号を遅延させる回路を含み、前記第2のスイッチング信号を生成する集積回路装置とを備えている。

【0043】請求項8の発明の表示装置は、行選択の切換え毎に与えられる表示データと行選択に同期して行選択周期でオンオフを繰り返すタイミング信号との組合せに応じた第1のスイッチング信号と、当該表示データを遅延させたデータと当該タイミング信号との組合せに応じた第2のスイッチング信号とを生成し、前記第1及び第2のスイッチング信号の一方を、前記奇数番目のデータ電極に対応した前記スイッチング素子の制御に用い、他方を前記偶数番目のデータ電極に対応した前記スイッチング素子の制御に用いる。

【0044】請求項9の発明の表示装置において、前記表示データの遅延時間は、隣接するデータ電極間の静電容量による蓄積電荷の放電所要時間より長く、行選択周期より短い。

【0045】請求項10の発明の表示装置は、前記表示データを遅延させる回路を含み、前記第2のスイッチング信号を生成する第2の集積回路装置とを備えている。

【0046】請求項11の発明の表示装置において、前記スイッチング素子は電界効果トランジスタであり、前記ダイオードはそれと並列の前記開閉路を形成する電界効果トランジスタに固有の寄生ダイオードである。

【0047】請求項12の発明の表示装置において、前記ダイオードは前記スイッチング素子とは別の回路構成要素である。

【0048】請求項13の発明の装置は、表示パネルの画面の行方向に並ぶ複数のデータ電極の電位を2値の表示データに応じて制御するための集積回路装置であつて、前記データ電極のそれぞれに一個ずつ対応する複数のスイッチング回路を備えており、前記スイッチング回路のそれぞれは、駆動電源の電流供給端子及び電流吸引端子のそれぞれと1つのデータ電極とを接続する一対のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュル構成の回路であり、電流供給側の前記スイッチング素子のオンオフのタイミングを、電流吸引側の前記スイッチング素子のオンオフのタイミングに対して遅らせる信号遅延回路が組み込まれたものである。

【0049】請求項14の発明の集積回路装置は、線順次のアドレッシングの行選択に同期して入力される表示データを遅延させる遅延回路と、前記遅延回路からの表示データと行選択周期でオンオフを繰り返すタイミング信号との組合せに応じたスイッチング信号を生成する論理回路と、前記対象電極のそれぞれに対して1個ずつ設

けられた一群のスイッチング回路とを備え、前記スイッチング回路のそれぞれは、駆動電源の電流供給端子及び電流吸引端子のそれぞれと1つのデータ電極とを接続する一対のスイッチング素子からなり、当該スイッチング素子のそれぞれにおいて開閉路と並列にダイオードを含む逆方向電流路が接続されたブッシュブル構成の回路であり、前記スイッチング信号によって前記スイッチング素子を制御するものである。

【0050】

【発明の実施の形態】図3は第1実施形態に係る表示装置1の要部のブロック図である。

【0051】表示装置1は、M×N個の表示素子からなる画面を有した表示パネル11と、スキャン電極S₁～S₁及びデータ電極A₁～A₁の電位を制御する駆動ユニット21とから構成されている。駆動ユニット21は、コントローラ31、電源回路41、スキャン電極S₁～S₁のドライバ51、及びデータ電極A₁～A₁のドライバ61を有している。ドライバ61はデータ電極A₁～A₁の制御を例えば256本ずつ分担して受け持つ同一構成の複数の集積回路チップ71₁～71₁からなる。コントローラ31は、アドレッシングにおいて行選択期間T_y毎に選択行のM列分の表示データD₁～D₁をドライバ61へシリアルに転送するとともに、後述の制御信号LAT, SUS, TSCをドライバ61に与える。

【0052】図4は第1実施形態に係るドライバ61の機能ブロック図である。

【0053】ドライバ61においては、集積回路チップ71₁～71₁の集合により、シフトレジスタ101、ラッチ回路111、出力制御回路121、及び出力回路131の4つの機能ブロックが構成されている。シフトレジスタ101はシリアルに入力された表示データD₁～D₁をパラレルに出力する。出力制御回路121は、信号LATに従ってラッチ回路111によってラッチされた表示データD₁～D₁と制御信号SUS, TSC, TSC'との組み合わせに応じたスイッチング信号を生成する。制御信号SUSは、全てのデータ電極A₁～A₁を電源の高電位側端子から一括に切り離すためのローアクティブの信号であり、アドレッシングにおいては継続的にノンアクティブである。タイミング信号TSCはアドレッシングにおいて行選択周期でオンオフを繰り返し、電源の短絡を防止する。そして、タイミング信号TSC'は本発明に特有の制御信号であって、遅延回路81を経たタイミング信号TSCである。出力回路131は出力制御回路121からのスイッチング信号に従ってデータ電極A₁～A₁と電源回路41との接続状態を変更する。

【0054】図5は第1実施形態に係るドライバ61の要部の回路図である。

【0055】上述の出力制御回路121は各データ電極

A₁～A₁に対して1個ずつ設けられた論理回路201の集合である。また、出力回路131も各データ電極A₁～A₁に対して1個ずつ設けられたスイッチング回路301の集合である。

05 【0056】論理回路201は複数のゲート回路211～216からなり、図中の真理値表で示される論理のスイッチング信号UP, DOWNを出力する。スイッチング回路301は、電源端子間にスイッチング素子として直列に挿入された一対の電界効果トランジスタ（以下、トランジスタという）Q1, Q2、及び各トランジスタQ1, Q2のソース・ドレン間に逆方向接続された保護用のダイオードD1, D2からなる。電源の電流供給端子側のトランジスタQ1はスイッチング信号UPにより制御され、電流吸引端子側のトランジスタQ2はスイッチング信号DOWNにより制御される。

【0057】図6はFETの等価回路図である。

【0058】FET（電界効果トランジスタ）では、スイッチSWと内部抵抗R₁とからなる開閉路と並列に寄生ダイオードd₁と寄生抵抗r₁とからなる逆方向電流路が形成されている。したがって、仮にスイッチング回路301においてダイオードD1, D2を省略したとしても寄生ダイオードd₁を利用してLリセット及びHリセットを実現することができる。ただし、寄生ダイオードd₁の特性にはバラツキが生じ易く不良であるこも多いので、寄生ダイオードd₁とは別にダイオードD1, D2を設けるのが望ましい。

【0059】図7及び図8は第1実施形態のデータ電極制御のタイムチャートである。

【0060】第1実施形態は図7のようにタイミング信号TSCを遅延させることによって、スイッチング信号UPとスイッチング信号DOWNとで行選択期間T_yに対するオンオフのタイミングがずれるようにしたものである。すなわち、スイッチング信号DOWNはタイミング信号TSCに呼応するのに対し、スイッチング信号UPはタイミング信号TSCを時間tだけ遅らせたタイミング信号TSC'に呼応する。このようなタイミング設定により、図8のように隣接したデータ電極A₁, A₁₊₁に与えられる表示データD₁, D₁₊₁の変化が正反対の場合に、行選択の境目でスイッチング信号DOWNのみがオンになってLリセットが実現される。時間t（遅延回路81の遅延量）は、隣接したデータ電極間の容量に蓄積した電荷の放電に要する時間以上となるように、Lリセットにおける隣接したデータ電極どうしを短絡する放電電流路の時定数に応じて選定される。

45 【0061】図9は遅延回路の例を示す図である。

【0062】RC回路及びLC回路による遅延では、回路定数で決まる時定数だけ信号が遅延する。複数のバッファ回路を連ねれば各バッファ回路の遅延量の和に相当する信号遅延が可能である。シフトレジスタによる遅延ではフリップフロップに与えるクロックの周波数の設定

で遅延量を調整できる。

【0063】図10は第1実施形態に係るドライバの変形例の回路図である。

【0064】タイミング信号TSCを遅延させる代わりに、データ電極A₁～A₄毎に遅延回路81bを設けてもLリセットを実現することができる。タイミング信号TSCと表示データD₁との組み合わせに応じた信号を生成する論理回路201bからスイッチング回路301のトランジスタQ2には直接にスイッチング信号DOWNを与え、トランジスタQ1には遅延回路81bを介してスイッチング信号UPを与えるのである。

【0065】図11は第2実施形態に係る表示装置2の要部のブロック図、図12は第2実施形態のデータ電極制御のタイムチャートである。図11ではデータ電極及びそれらの制御に係わる要素のみを図示してある。

【0066】第2実施形態は、タイミング信号TSCを遅延させることによって、奇数列と偶数列とでスイッチング信号UP, DOWNのオンオフのタイミングがずれるようにしたものである。

【0067】表示装置2は、表示パネル12と駆動ユニット22とから構成されている。駆動ユニット22は、コントローラ32、電源回路42、奇数列のデータ電極のドライバ62A、偶数列のデータ電極のドライバ62B、及び遅延回路82を有している。ドライバ62Aは複数の集積回路チップ72₁～72₁からなり、ドライバ62Bも複数の集積回路チップ72₁₁～72₁₁からなる。列方向の両側にデータ電極のドライバを配置する構成は列ピッチの小さい場合に好適である。コントローラ32は、アドレッシングにおいて行選択期間T_y毎に奇数列の表示データD_{odd}をドライバ62Aへシリアルに転送するとともに、偶数列の表示データD_{even}をドライバ62Bへシリアルに転送する。制御信号LAT, SUSはドライバ62A, 62Bに共通に与えられる。そして、タイミング信号TSCはドライバ62Aのみに与えられ、ドライバ62Bにはタイミング信号TSCを遅延させた信号TSC'が与えられる。

【0068】このような回路構成により、図12のように隣接したデータ電極A₁, A₂に与えられる表示データD₁, D₂の変化が正反対の場合に行選択の境目にスイッチング信号DOWNのみがオンになるLリセット、又はスイッチング信号UPのみがオンになるHリセットが実現される。

【0069】以上の第1実施形態及び第2実施形態によれば、従来において使用されていた集積回路チップを用いてドライバを構成できる。また、信号の遅延量を調整することができ、データ電極間容量の異なる種々の表示パネルに対応可能があるので、種々の表示パネルに駆動ユニットを流用することができる。

【0070】図13は第3実施形態に係る表示装置3の要部のブロック図である。

【0071】第3実施形態は、偶数列の表示データを奇数列の表示データに対して遅延させることによって、奇数列と偶数列とでスイッチング信号UP, DOWNのオンオフのタイミングがずれるようにしたものである。

05 【0072】表示装置3は、表示パネル13、コントローラ33、及び全てのデータ電極A₁～A₄の制御を受け持つドライバ63を有している。ドライバ63は、シフトレジスタ103、ラッチ回路113、出力制御回路123、及び出力回路143から構成されている。出力回路143は図10のスイッチング回路301と同様の回路の集合であり、出力制御回路123は図10の論理回路201bと同様の回路の集合である。表示装置3において、ラッチ回路113は奇数列については1段階、偶数列については2段階のラッチを行うように構成されている。この構成により、2段目のラッチが遅延となり、スイッチング信号UP, DOWNのオンオフのタイミングがずれてLリセット及びHリセットが実現される。なお、遅延のオンオフ制御を可能に構成し、特定の表示パターンの場合のみにLリセット及びHリセットに係るスイッチング制御を行うようにしてよい。

【0073】図14は第4実施形態に係る表示装置4の要部のブロック図である。

【0074】第4実施形態は、制御信号LATを遅延させることによって、奇数列と偶数列とでスイッチング信号UP, DOWNのオンオフのタイミングがずれるようにしたものである。

【0075】表示装置4は、表示パネル14と駆動ユニット24とから構成されている。駆動ユニット24は、コントローラ34、電源回路44、奇数列のデータ電極のドライバ64A、偶数列のデータ電極のドライバ64B、及び遅延回路84を有している。ドライバ64Aは複数の集積回路チップ74₁～74₁からなり、ドライバ64Bも複数の集積回路チップ74₁₁～74₁₁からなる。コントローラ34は、アドレッシングにおいて行選択期間T_y毎に奇数列の表示データD_{odd}をドライバ64Aへシリアルに転送するとともに、偶数列の表示データD_{even}をドライバ64Bへシリアルに転送する。制御信号SUS, TSCはドライバ64A, 64Bに共通に与えられる。そして、制御信号LATはドライバ64Aのみに与えられ、ドライバ64Bには制御信号LATを遅延させた信号TSC'が与えられる。

【0076】図15は第5実施形態に係る表示装置5の要部のブロック図である。

【0077】第5実施形態は、遅延手段を組み込んだドライバを用いて奇数列の表示データを偶数列の表示データに対して遅延させることによって、奇数列と偶数列とでスイッチング信号UP, DOWNのオンオフのタイミングがずれるようにしたものである。

【0078】表示装置5は、表示パネル15と駆動ユニット25とから構成されている。駆動ユニット25は、

コントローラ35、電源回路45、奇数列のデータ電極のドライバ65A、及び偶数列のデータ電極のドライバ65Bを有している。コントローラ35は、アドレッシングにおいて行選択期間T_y毎に奇数列の表示データD_{odd}をドライバ65Aへシリアルに転送するとともに、偶数列の表示データD_{even}をドライバ65Bへシリアルに転送する。制御信号LAT, SUS, TSCはドライバ65A, 65Bに共通に与えられる。そして、制御信号LATはドライバ64Aのみに与えられ、ドライバ64Bには制御信号LATを遅延させた信号TSC'が与えられる。

【0079】ドライバ65Aは、図示しないシフトレジスタからパラレル出力された奇数列の表示データD_{odd}をラッチする2段のラッチ回路115Aを備えている。一方、ドライバ65Bは、図示しないシフトレジスタからパラレル出力された偶数列の表示データD_{even}をラッチする1段のラッチ回路115Bを備えている。ラッチ回路115Aとラッチ回路115Bとの段数の違いから、奇数列と偶数列とでスイッチング信号UP, DOWNのオンオフのタイミングがずれる。ドライバ65A, 65Bはそれぞれ複数の集積回路チップからなる。

【0080】第5実施形態によれば、ドライバ65Aを構成する遅延機能を有した集積回路チップと、ドライバ65Bを構成する遅延機能を有しない既存の集積回路チップとを混合して使用できるため、既存部品の在庫を無駄にすることなく本発明を実施することができる。

【0081】

【発明の効果】請求項1乃至請求項14の発明によれば、データ電極間の静電容量に係わる不要の電力消費を低減することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の原理図である。

【図3】第1実施形態に係る表示装置の要部のブロック図である。

【図4】第1実施形態に係るドライバの機能ブロック図である。

【図5】第1実施形態に係るドライバの要部の回路図である。

【図6】FETの等価回路図である。

【図7】第1実施形態のデータ電極制御のタイムチャートである。

【図8】第1実施形態のデータ電極制御のタイムチャートである。

トである。

【図9】遅延回路の例を示す図である。

【図10】第1実施形態に係るドライバの変形例の回路図である。

05 【図11】第2実施形態に係る表示装置の要部のブロック図である。

【図12】第2実施形態のデータ電極制御のタイムチャートである。

【図13】第3実施形態に係る表示装置の要部のブロック図である。

10 【図14】第4実施形態に係る表示装置の要部のブロック図である。

【図15】第5実施形態に係る表示装置の要部のブロック図である。

15 【図16】電極マトリクスの模式図である。

【図17】表示素子の例を示す図である。

【図18】線順次のアドレッシングの概要を示すタイムチャートである。

【図19】表示パターンの一例を示す図である。

20 【図20】従来の駆動方法におけるデータ電極の制御のタイムチャートである。

【図21】従来の問題を示す図である。

【符号の説明】

S₁ ~ S₁₅ スキャン電極

25 A₁ ~ A₁₅ データ電極

11 ~ 15 表示パネル

D₁, D₂ 表示データ

D₁, D₂ ダイオード

1, 2, 3, 4, 5 表示装置

30 Q₁, Q₂ トランジスタ (スイッチング素子)

P₁, P₂ 逆方向電流路

301 スイッチング回路

TSC タイミング信号

UP 第1のスイッチング信号

35 TSC' タイミング信号 (遅延させた信号)

DOWN 第2のスイッチング信号

201, 201b 論理回路 (信号生成回路)

81, 81b, 82, 84 遅延回路 (信号遅延回路)

115A ラッチ回路 (信号遅延回路)

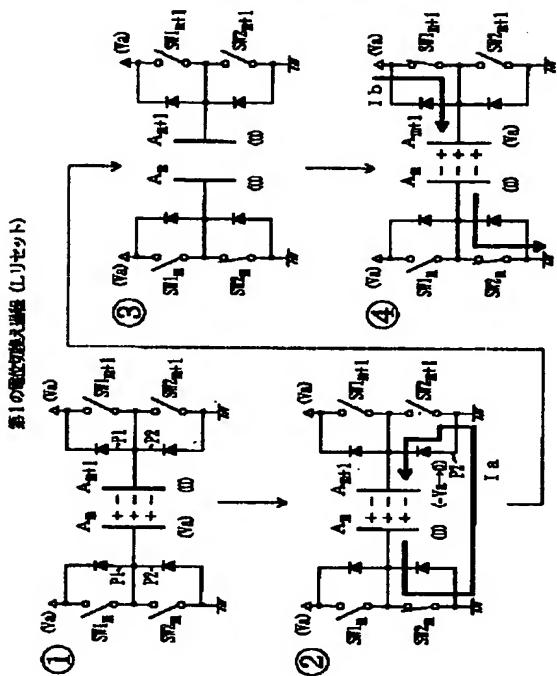
40 t 時間 (遅延時間)

65A, 65B ドライバ (集積回路装置)

d₁ 寄生ダイオード

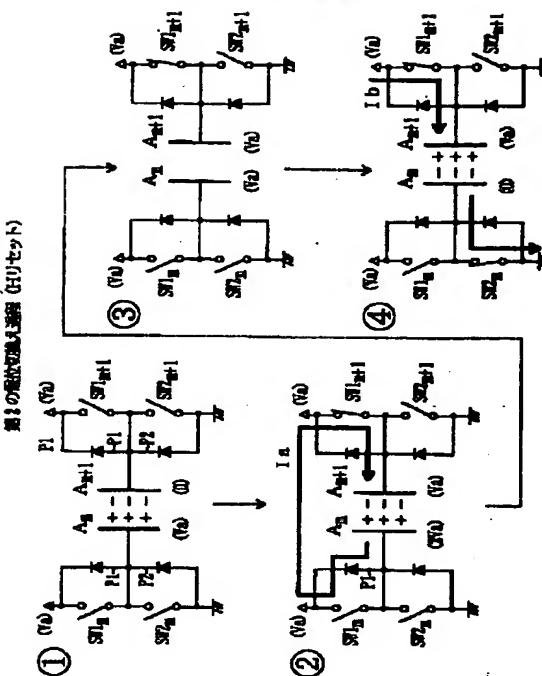
【図1】

本発明の原理図



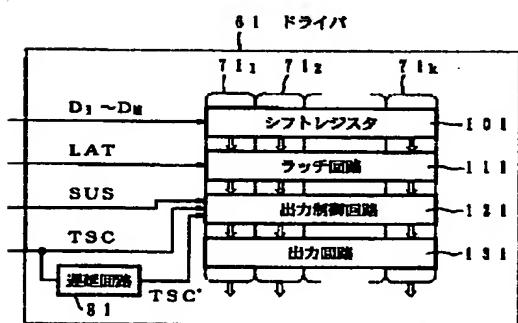
【図2】

本発明の原理図



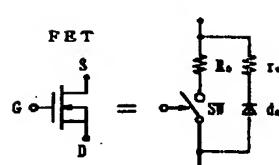
【図4】

第1実施形態に係るドライバの構成ブロック図



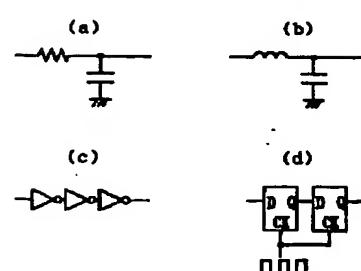
【図6】

FETの等価回路図



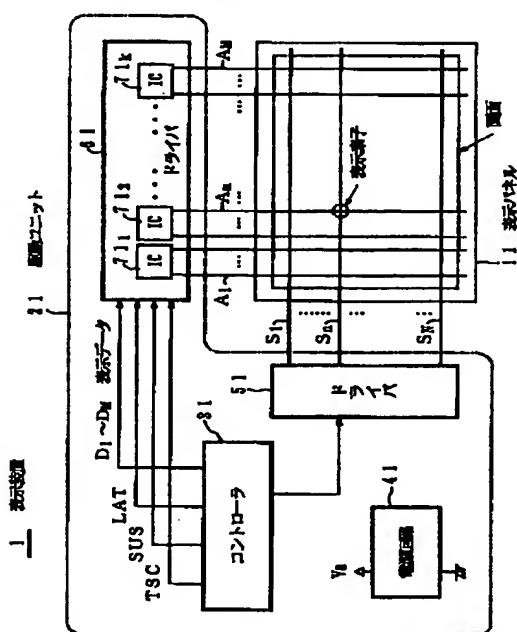
【図9】

電極回路の例を示す図



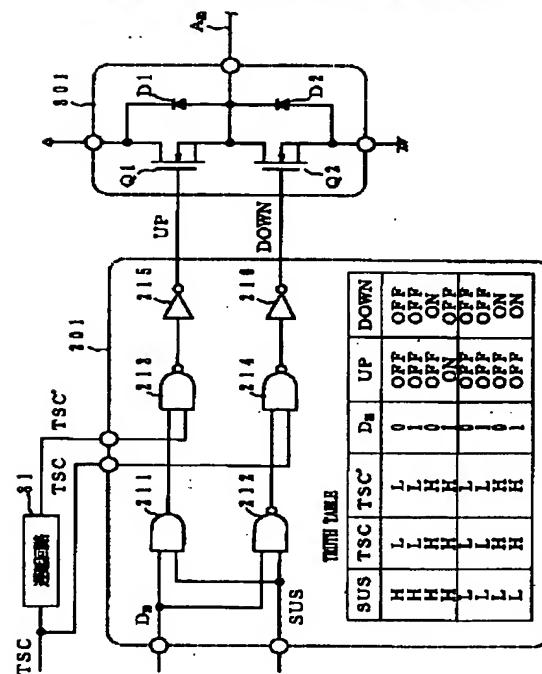
【図3】

第1実施形態に係る表示装置の要部のブロック図



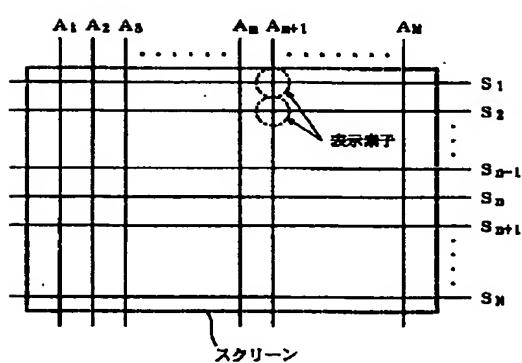
【図5】

第1実施形態に係るドライバの要部の回路図



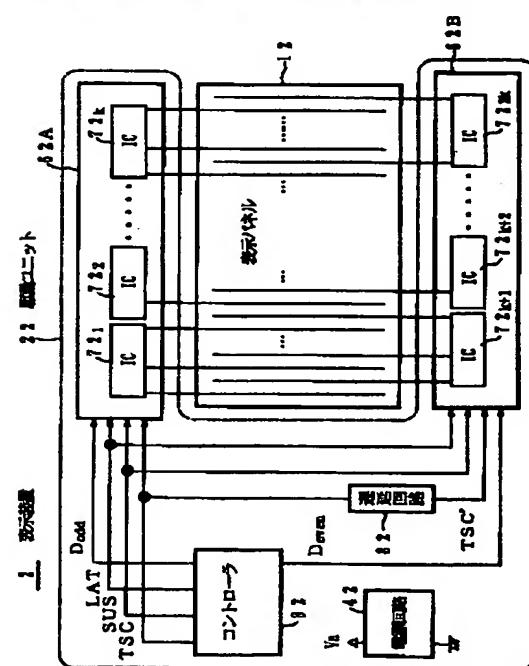
【図16】

電極マトリクスの模式図

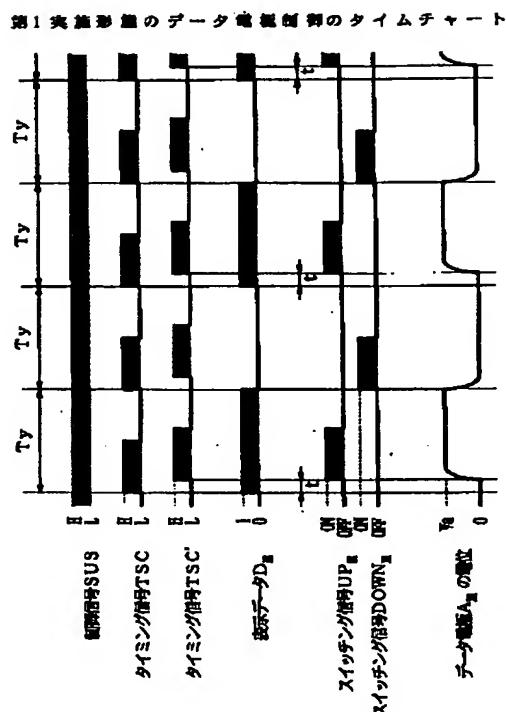


【図11】

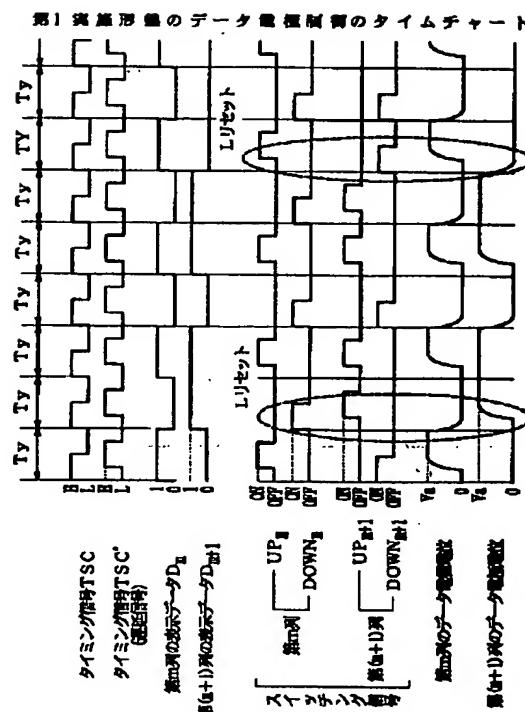
第2実施形態に係る表示装置の要部のブロック図



【図7】

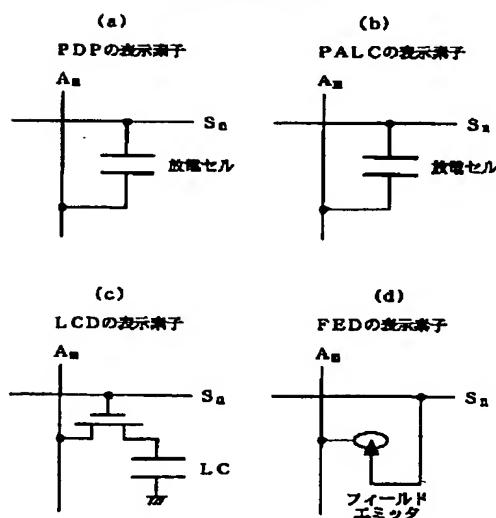


【図8】



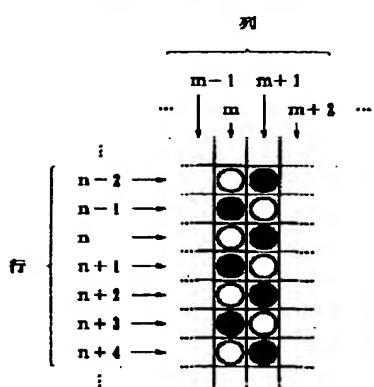
【図17】

表示素子の例を示す図



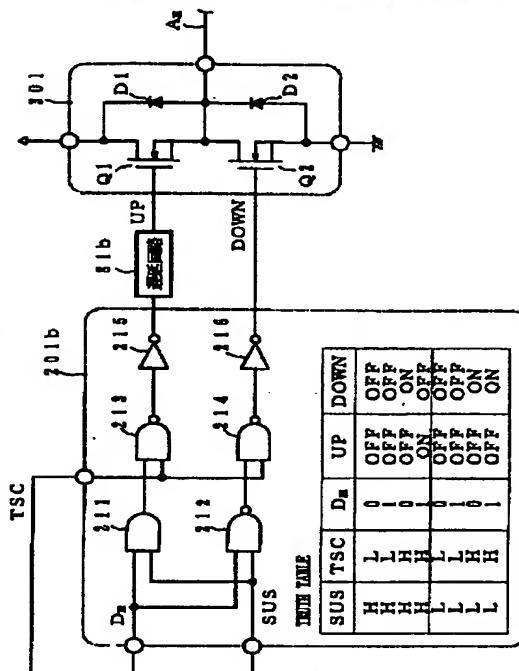
【図19】

表示パターンの一例を示す図



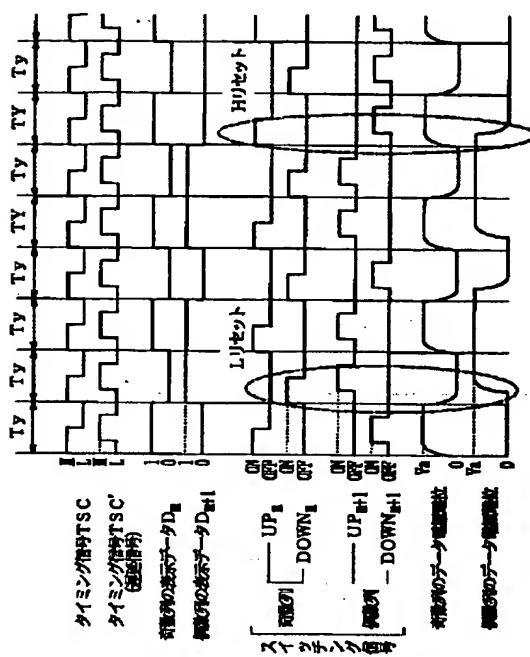
【図10】

第1実施形態に係るドライバの変形例の回路図



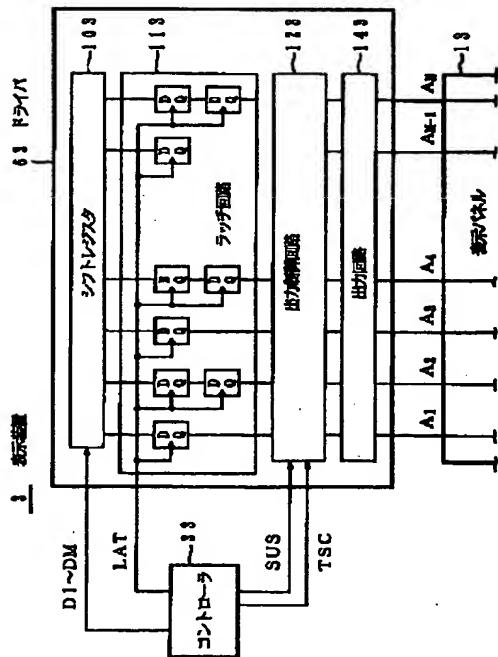
【図12】

第2実施形態のデータ電気制御のタイムチャート



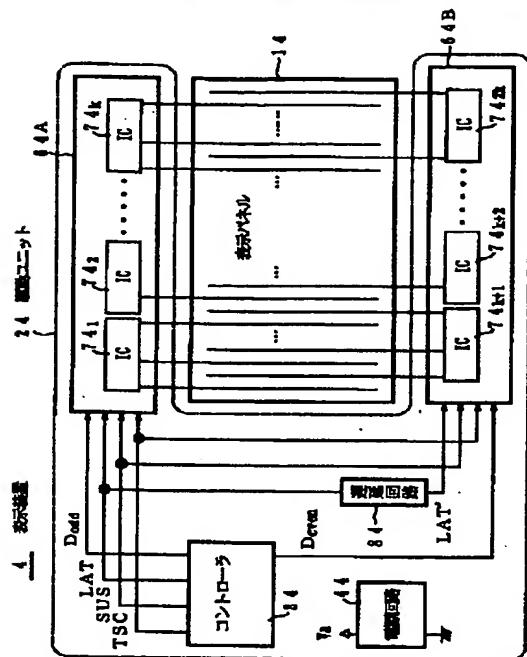
【図13】

第3実施形態に係る表示装置の実部のブロック図



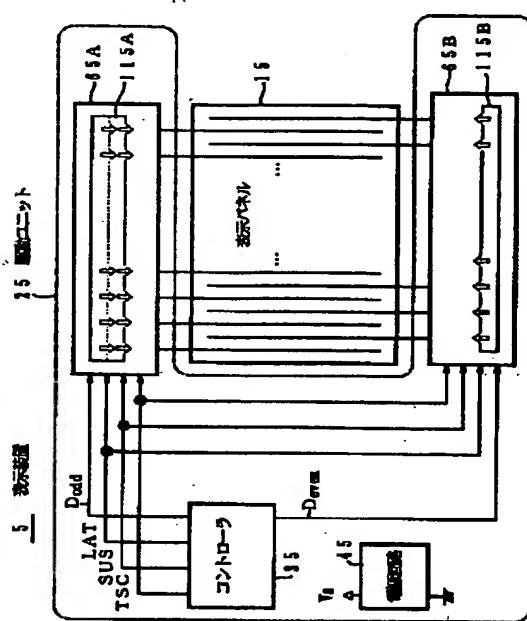
【図14】

第4実施形態に係る表示装置の要部のブロック図



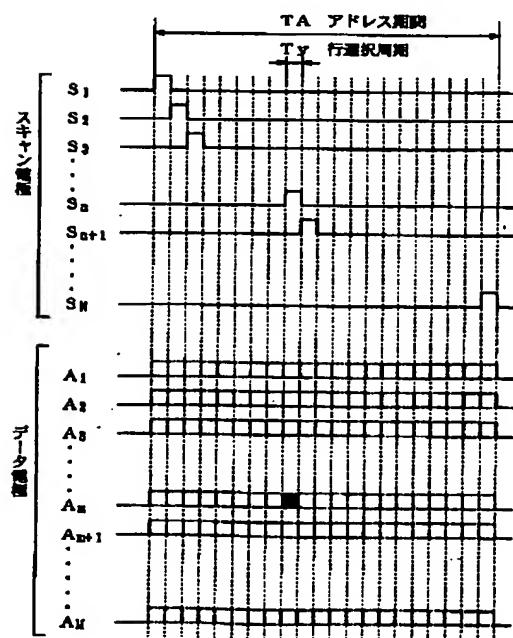
【図15】

第5実施形態に係る表示装置の要部のブロック図

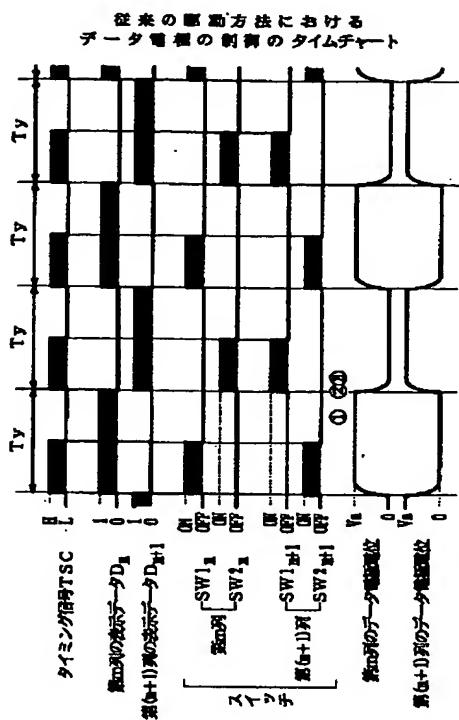


【図18】

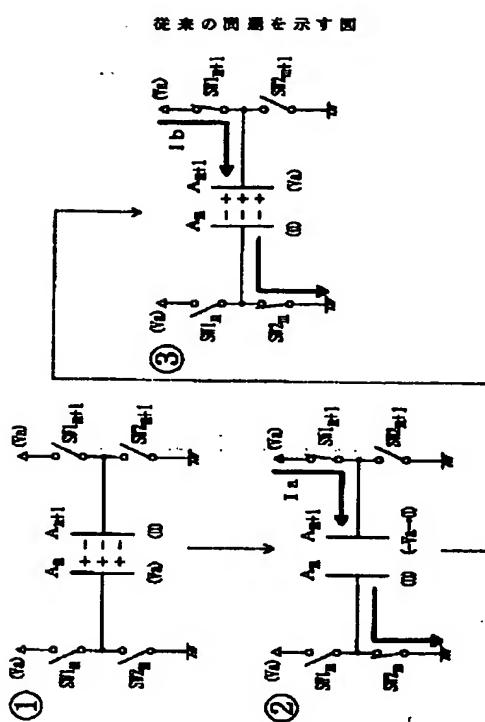
級層次のアドレッシングの概要を示すタイムチャート



【図20】



【図21】



フロントページの続き

(72)発明者 並木 文博
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5C080 AA05 AA08 AA10 BB05 DD26
FF12 JJ02 JJ03 JJ04